

-864  
10/656,902

Requested Patent: JP62117052A  
Title: SERIAL INPUT AND OUTPUT CIRCUIT ;  
Abstracted Patent: JP62117052 ;  
Publication Date: 1987-05-28 ;  
Inventor(s): SHINDO HIROYASU ;  
Applicant(s): SANYO ELECTRIC CO LTD; others: 01 ;  
Application Number: JP19850258062 19851118 ;  
Priority Number(s): ;  
IPC Classification: G06F13/00; G06F13/38 ;  
Equivalents: JP1750717C, JP4031420B ;

ABSTRACT:

PURPOSE: To increase the response speed of a computer by omitting the need to transfer the same data for plural times and the need to decide the correctness of these data, and shortening the data transfer time.

CONSTITUTION: The counting capacity of a counter 19 which counts the synchronizing clocks is set larger than the number of clocks needed for transfer of data. A shift register control means 15 detects that the counter 19 counted the synchronizing clocks needed for transfer of data and inhibits the shift action of a shift register 9. While the overrun detecting means 20 and 22 detect whether or not the count value of the counter 19 is changed after the detecting action of the means 15. Then a data transfer error can be recognized based on the detecting results of both means 20 and 22. The contents of a flag 22 are decided within a prescribed period of time after the end of the transfer of data. Thus it is checked whether the noise is produced or not to the external synchronizing clock SCP. Then the correctness of data can be decided. This can omit the need to transfer data for plural times to confirm the correctness of data.

RECEIVED SEP 9 8 2003

## ⑫ 公開特許公報(A)

昭62-117052

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)5月28日

G 06 F 13/00  
13/38

3 5 1

7218-5B  
7165-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 シリアル I/O 回路

⑮ 特 願 昭60-258062

⑯ 出 願 昭60(1985)11月18日

⑰ 発 明 者 新 藤 博 康 群馬県邑楽郡大泉町大字坂田180番地 東京三洋電機株式会社内

⑱ 出 願 人 三 洋 電 機 株 式 有 限 公 司 守口市京阪本通2丁目18番地

⑲ 出 願 人 東京三洋電機株式会社 群馬県邑楽郡大泉町大字坂田180番地

⑳ 代 理 人 弁 理 士 西 野 卓 嗣 外 1 名

## 明 細 書

1. 発明の名称 シリアル I/O 回路

2. 特許請求の範囲

1. 同期クロックに基いてシリアル入力端子に印加されたデータを順次入力するシフトレジスタを有するシリアル I/O 回路に於いて、データ転送に必要な同期クロック数より大きな計数容量を有し前記同期クロックを計数するカウンタと、該カウンタがデータ転送に必要な同期クロック数を計数したことを検出し前記シフトレジスタのシフト動作を禁止するシフトレジスタ制御手段と、該制御手段の検出動作後前記カウンタの計数値が変化したか否かを検出するオーバーラン検出回路とを設け、前記オーバーラン検出回路の検出結果に基いて、データ転送の誤りを認識可能としたことを特徴とするシリアル I/O 回路。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、マイクロコンピュータ等に内蔵されるシリアル I/O 回路に関する。

## ① 従来の技術

近年、ワンチップマイクロコンピュータの高機能化が進み、各種の周辺回路が内蔵されるに至った。その一例として、複数のマイクロコンピュータを用いた場合、マイクロコンピュータ間のデータ転送を少ない入出力端子で行うためのシリアル I/O 回路が内蔵されたマイクロコンピュータがある。

従来、マイクロコンピュータに内蔵されるシリアル I/O 回路は、昭和59年4月1日にCQ出版株式会社から発行された「ワンチップ・マイコンの基礎とその応用技術」の第73頁に記載されている如く構成される。第2図にそのブロック図を示す。

第2図に於いて、シフトレジスタ(1)は8ビットで構成され、その入力端子はシリアル入力端子(2)に、出力端子はシリアル出力端子(3)に接続される。また、シフトレジスタ(1)のシフト動作を制御する同期クロックCPは、データ受信時には外部から同期クロック入出力端子(4)に印加される外部同期クロック

クSCPが用いられ、データ送信時にはクロック発生回路⑤で作成された内部同期クロックSCPが用いられるが、これらの同期クロックCPはANDゲート⑥を介してシフトレジスタ⑪及びカウンタ⑦に印加される。カウンタ⑦はシフトレジスタ⑪の構成ビット数「8」を計数するもので、同期クロックCPを8個<sup>計</sup>数したときシフトレジスタ⑪へのデータ入力、あるいは、シフトレジスタ⑪からのデータ出力が終了したものと見て、FF⑧をリセットして、同期クロックCPをANDゲートに於いて遮断する。尚、FF⑧はデータ送受信開始命令の実行時にセットされる。

#### 付 発明が解決しようとする問題点

第2図に示されたシリアルI/O回路に於いて、データをシリアル入力する場合には、同期クロック入出力端子④に印加された外部同期クロックSCPの立ち下がりによって、シフトレジスタ⑪のシフト動作が為され、シリアル入力端子②に印加されたデータが取り込まれる。そこで、外部同期クロックSCPが8個カウンタ⑦で計数されると

FF⑧がリセットされ、外部同期クロックSCPが遮断される。その後、同期クロック入出力端子④にクロックが印加されてもシフトレジスタ⑪のシフト動作は行われず、データのシリアル入力が終了したことになる。

しかしながら、データのシリアル入力中に、第3図に示す如く、外部同期クロックに何らかの原因によりノイズが発生すると、該ノイズによってシフトレジスタ⑪のシフト動作及びカウンタ⑦の計数動作が行われ、同じデータが2回取り込まれることになる。従って、カウンタ⑦が8個の計数をしたときには、最後に送られて来たデータはシフトレジスタ⑪に取り込まれずデータの誤転送となる。よって、第2図に示されたシリアルI/O回路では、ノイズに対する転送の信頼性が低下するため、同一のデータを数回繰り返して実施し、そのデータが一致しているか否かをプログラムで判定しなければならず、データの転送に時間がかかる欠点があった。

#### ㊦ 問題点を解決するための手段

本発明は、上述した点に鑑みて為されたものであり、同期クロックを計数するカウンタの計数容量を、データ転送に必要な同期クロック数より大きな容量とし、該カウンタがデータ転送に必要な同期クロック数を計数したことを検出しシフトレジスタのシフト動作を禁止するシフトレジスタ制御手段と、該制御手段の検出動作後前記カウンタの計数値が変化したか否かを検出するオーバーラン検出手段を設け、該オーバーラン検出手段の検出結果に基いて、データ転送の誤りを認識可能としたものである。

#### ㊦ 作用

上述の手段によれば、同期クロック入出力端子に印加される外部同期クロックSCPにノイズが発生しなかった場合には、データ転送に必要な同期クロック数がカウンタに計数され、シフトレジスタ制御手段によってシフト動作が禁止された後は、カウンタの計数値は変化しないのでオーバーラン検出手段の検出結果は、データ転送の誤りを指示しない。一方、外部同期クロックSCPにノ

イズが発生した場合には、カウンタがデータ転送に必要なクロック数を計数した後に、更に、カウンタの計数が進むため、オーバーラン検出手段の検出結果は、データ転送の誤りを指示することになり、その指示によりシフトレジスタに転送されたデータが誤りであることが認識できる。

#### ㊦ 実施例

第1図は本発明の実施例を示すブロック図である。シフトレジスタ⑨は8ビットで構成され、入力<sub>1</sub>はシリアル入力端子①、出力<sub>1</sub>はシリアル出力端子③に接続され、更に、シフトレジスタ⑨の各ビットの入出力はデータバス②と接続されてデータの送受がバラレルで行えるよう構成される。同期クロック入出力端子④は、データをシリアルで受信する際に外部同期クロックSCPが印加され、また、シフトレジスタ⑨に保持されたデータをシリアルに送信する際にはクロック発生回路⑤で作成された内部同期クロックSCPが送出される端子である。これら同期クロックCPは、R-SF F⑤の出力Qで制御されるANDゲート⑥、及び、

R-SFF07の出力Qで制御されるANDゲート08に印加され、ANDゲート08の出力はシフトレジスタ09のシフトクロック入力に接続され、ANDゲート08の出力はカウンタ04の計数入力に接続される。カウンタ04は、4ビットで構成された16進バイナリカウンタであり、ANDゲート08から印加される同期クロックCPの立ち下がりを見計らし、計数値が「8」、即ち「1000」となったときの出力でR-SFF07をリセットする。即ち、シフトレジスタ09が8ビット構成であるため、データの1回のシリアル転送を8ビット単位で行い、その転送には8個の同期クロックCPが必要であり、そのため、カウンタ04の計数値「8」を検出することにより8ビットデータの転送終了を検出している。R-SFF07は、シフトレジスタ制御手段を構成するものであり、データ送受信開始命令の実行によってセットされ、そのセットされている期間、ANDゲート08から同期クロックCPをシフトレジスタ09に印加する。また、カウンタ04の各ビット出力 $Q_1, Q_2, Q_3$ 及び $Q_4$ は、

ORゲート06に印加され、ORゲート06の出力は、ステータスレジスタ01のフラグ02に接続される。これら、ORゲート06及びフラグ02によりオーバーラン検出手段が構成される。即ち、カウンタ04の計数値が「8」の場合には、ORゲート06の出力は「0」であり、フラグ02は「0」となるが、カウンタ04の計数値が「8」以外の場合にはORゲート06の出力が「1」となってフラグ02が「1」にセットされる。一方、R-SFF07は、データ送受信開始命令の実行でセットされ、シフトレジスタ09のデータを読み出すレジスタリード命令の実行でリセットされるため、カウンタ04が「8」を計数したとき、ANDゲート08で同期クロックCPが遮断されても、レジスタリード命令が実行されるまで、同期クロック入出力端子03に発生するクロックをカウンタ04に供給している。即ち、シフトレジスタ09のシフト動作が禁止された後も、カウンタ04は計数を行うため、外部同期クロックSCPにノイズが発生してパルス数が増えたと、その増加分がカウンタ04に計数されることになる。

第1図に示されたシリアルI/O回路に於いて、データをシリアルに入力する場合の動作を説明する。先ず、内部同期クロックSCPの発生を禁止する命令を実行した後、データ送受信開始命令を実行すると、R-SFF07及びカウンタ04がリセットされる。次に、データをシリアルに送る相手側にデータの送信を許可する信号を送る。すると、相手側からシリアル入力端子04にデータが順次印加されると共に、外部同期クロックSCPがデータと同期して同期クロック入出力端子03に印加される。外部同期クロックSCPは、ANDゲート08を介してシフトレジスタ09に印加され、その立ち下がりに従ってシフトレジスタ09は、順次シリアル入力端子04に印加されたデータを取り込みシフトする。同時に、外部同期クロックSCPは、ANDゲート08を介してカウンタ04に計数されることになる。カウンタ04の計数値が「8」になると、その出力によりR-SFF07がリセットされるため、ANDゲート08に於いて、以後到来する外部同期クロックSCPが遮断され、シフト

レジスタ09の動作が禁止される。このとき、R-SFF07の出力により、コンピュータに割込みが要求され、割込み処理が為される。この割込み処理に於いては、割込みが発生してから外部同期クロックの1周期以上の時間を経過した時点でステータスレジスタ01のフラグ02を判定する。即ち、カウンタ04が「8」を計数するまでにノイズが発生すれば、ノイズがカウンタ04に計数されていることになり、外部同期クロックSCPの1周期後に必ず外部同期クロックSCPが計数されるため、ORゲート06の出力が「1」となってフラグ02が「1」にセットされる。従って、外部同期クロックSCPの1周期後にフラグ02を判定した結果が「0」であれば、8個の外部同期クロックSCPでデータの受信が終了しており、シフトレジスタ09に蓄積されたデータは正しいものと判断され、この場合にはレジスタリード命令を実行してシフトレジスタ09の内容をデータバス02に取り出して所定の処理が行える。このとき、レジスタリード命令の実行により、R-SFF07がリセットされ、

データのシリアル受信が終了する。一方、フラグ 12 を判定した結果が "1" であった場合には、シフトレジスタ 9 に蓄積されたデータは誤りであることが判断され、この場合には再びデータ送受信命令を実行して、再度同じデータの転送を相手側に要求する。

このように、データの転送が終了したと判定されてから所定時間後フラグ 12 の内容を判定することにより、外部同期クロック SCP にノイズが発生したか否か検出され、データの正誤が判断できる。従って、正誤を確認するために複数回転送を行う必要がなくなる。尚、上述の実施例では、シリアルにデータを入力する場合について説明したが、クロック発生回路 14 で作成された内部同期クロック SCP に基づいてデータを送出する場合にも、同期クロック入出力端子 13 に発生するノイズに対して同様の動作により、データ転送の誤りを検出することができる。

#### (h) 発明の効果

上述の如く本発明によれば、複数回同じデータ

を送信してデータの正誤を判定する必要がないため、データの転送時間が短縮され、コンピュータの応答が速くなる利点を有する。また、正誤判定のためのプログラムが短くなり、使用し易いマイクロコンピュータが得られる。

#### 4. 図面の簡単な説明

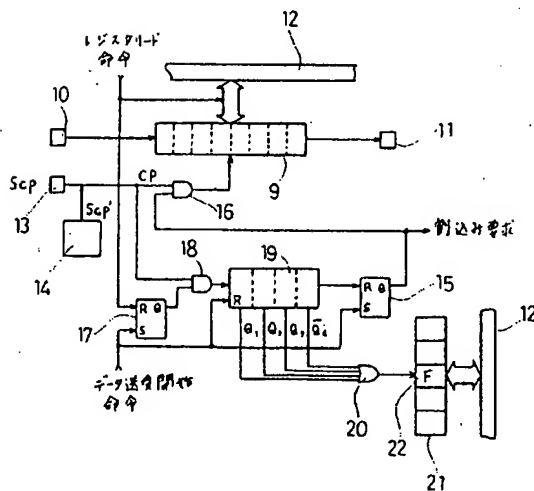
第 1 図は本発明の実施例を示すブロック図、第 2 図は従来例を示すブロック図、第 3 図はノイズによる誤動作を説明するタイミング図である。

(9) シフトレジスタ、(10) シリアル入力端子、(11) シリアル出力端子、(12) データバス、(13) 同期クロック入出力端子、(14) クロック発生回路、(15)(17) R-S F F、(16)(18) AND ゲート、(19) カウンタ、(20) OR ゲート、(21) ステータスレジスタ、(22) フラグ。

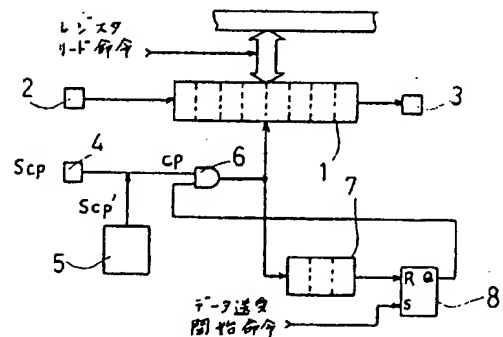
出願人 三洋電機株式会社 外 1 名

代理人 弁理士 佐野 静 夫

第 1 図



第 2 図



第 3 図

